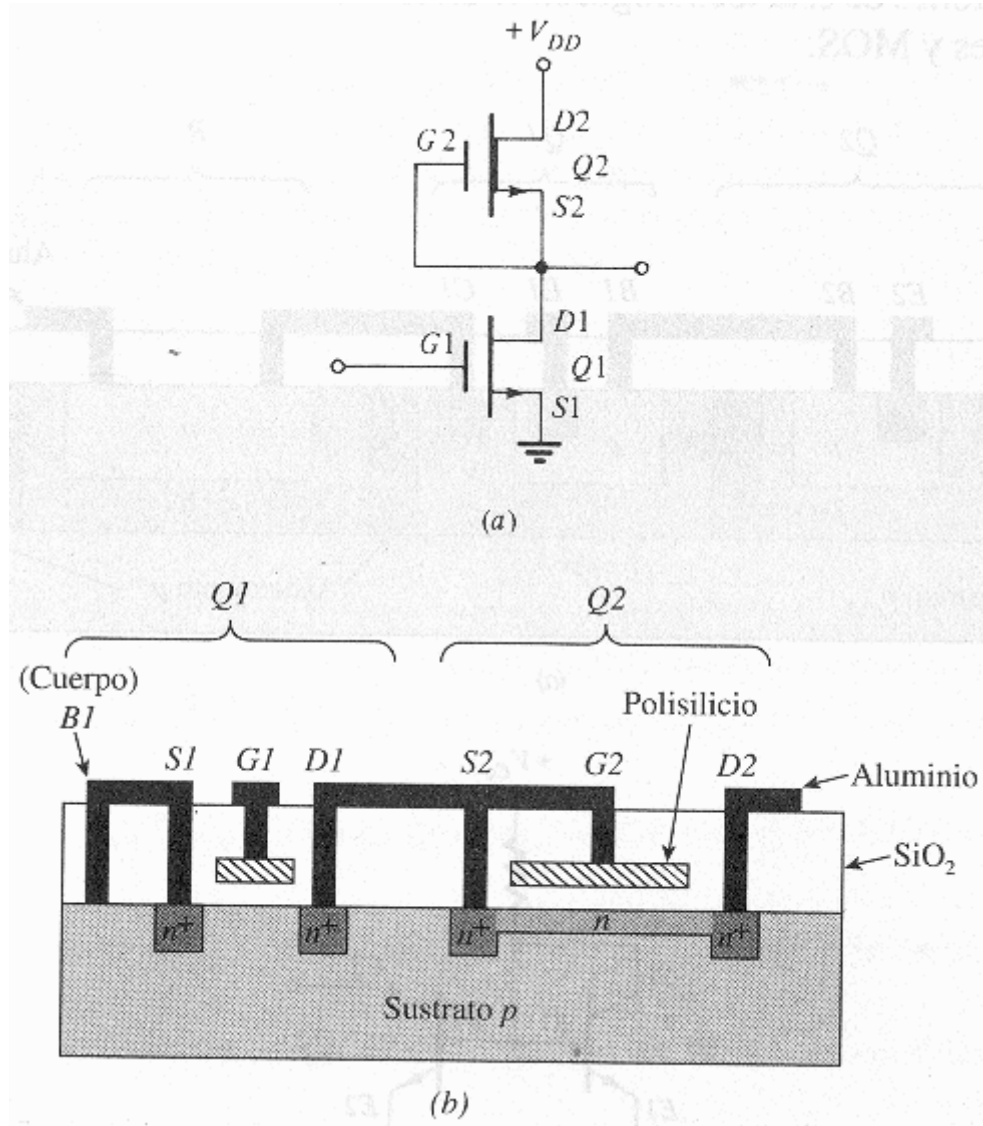


4- FABRICACIÓN DEL FET

Describiendo el proceso secuencia de la elaboración del NMOS de acumulación y de dispositivos de deplecion, queda explicada la fabricación de transistores MOS. En esta sección incluimos la construcción del JFET.



**Figura N° 4.1 (a) Circuito MOS de canal n con Carga de Deplecion
(b) Disposición como Circuito Integrado CI**

4.1- Fabricación del NMOS de Acumulación

El primer paso consiste en recubrir completamente una oblea de tipo n con una capa de Nitruro de Silicio Si_3N_4 . Hemos visto que los dopantes empleados penetran menos fácilmente en el Si_3N_4 que en el SiO_2 . El primer paso de máscaras y corrosión se usa para definir una zona suficientemente amplia para abarcar la fuente puerta drenaje. El Si_3N_4 se elimina químicamente de la superficie exterior de la zona del transistor. Seguidamente se implanta una capa p^+ junto a la superficie expuesta del sustrato p. La implantación p^+ sirve para aislar entre sí dispositivos adyacentes como se explica. Esta parte del proceso secuencial se completa creciendo una capa $1 \mu\text{m}$ de SiO_2 sobre la región p^+ implantada, como se indica en la figura 4.1(a), la región Si_3N_4 no queda afectada por la oxidación. en la segunda parte del proceso se elimina el Si_3N_4 , pero no el SiO_2 , sobrante por medio de una corrosión selectiva recreciendo térmicamente sobre la zona del transistor una fina capa de SiO_2 figura 4.1(b). Este proceso facilita la capa de oxido que hay debajo la puerta de los transistores. Ahora se deposita **silicio policristalino** llamado mas comúnmente **polisilicio sobre la oblea**. Las figuras 4.1(c) y 4.1(d) representan la sección transversal y la vista superior del chip. Las puertas de polisilicio reducen la tensión umbral V_T por debajo de la obtenible con puertas de metal, y en consecuencia pueden emplearse tensiones de alimentación mas bajas por lo que la mayoría de MOS integrados comerciales se fabrican con puertas de polisilicio.

Figura N° 4.2(a) Fabricación del MOSFET de Acumulación: Implantación de p^+ y Crecimiento Grueso de Oxido

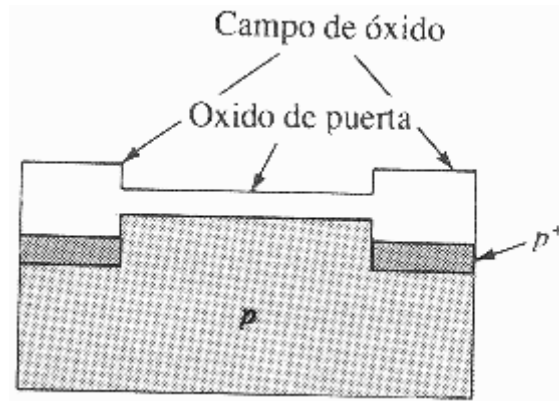


Figura N° 4.2(b) Fabricación del MOSFET de Acumulación: Grabado Selectivo de Si_3N_4 y Crecimiento Fino de Oxido.

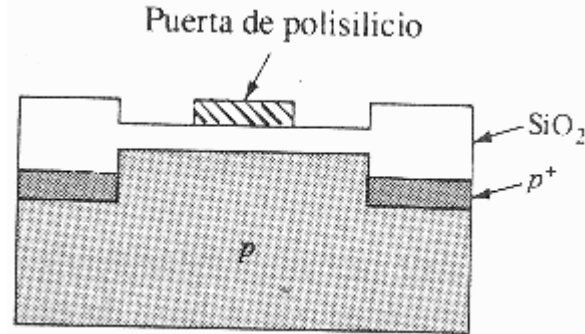


Figura N° 4.2(c) Fabricación del MOSFET de Acumulación: Deposición de la Puerta de Polisilicio.

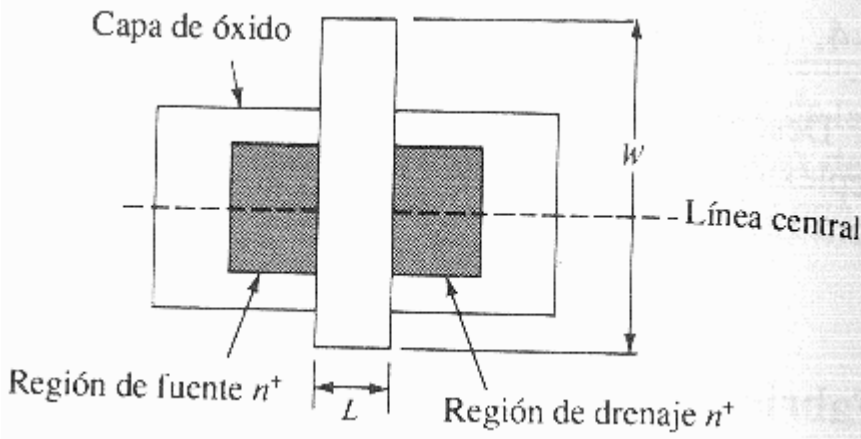


Figura N° 4.2(d) Fabricación del MOSFET de Acumulación: Vista Superior mostrando la Relación de Aspecto de la Puerta y las Regiones n^+ de Drenaje y de Fuente implantadas.

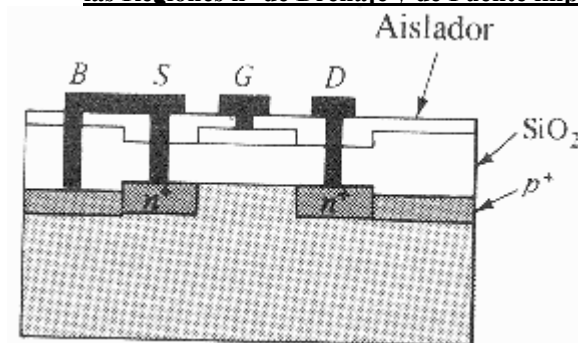


Figura N° 4.2 Fabricación del MOSFET de Acumulación: Sección Transversal mostrando la Metalización

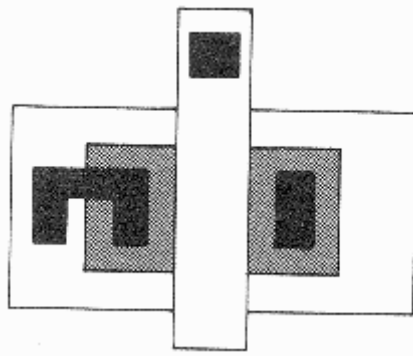


Figura N° 4.2(f) Fabricación del MOSFET de Acumulación: Vista Superior mostrando la Intercomunicación entre el Sustrato y la Fuente.

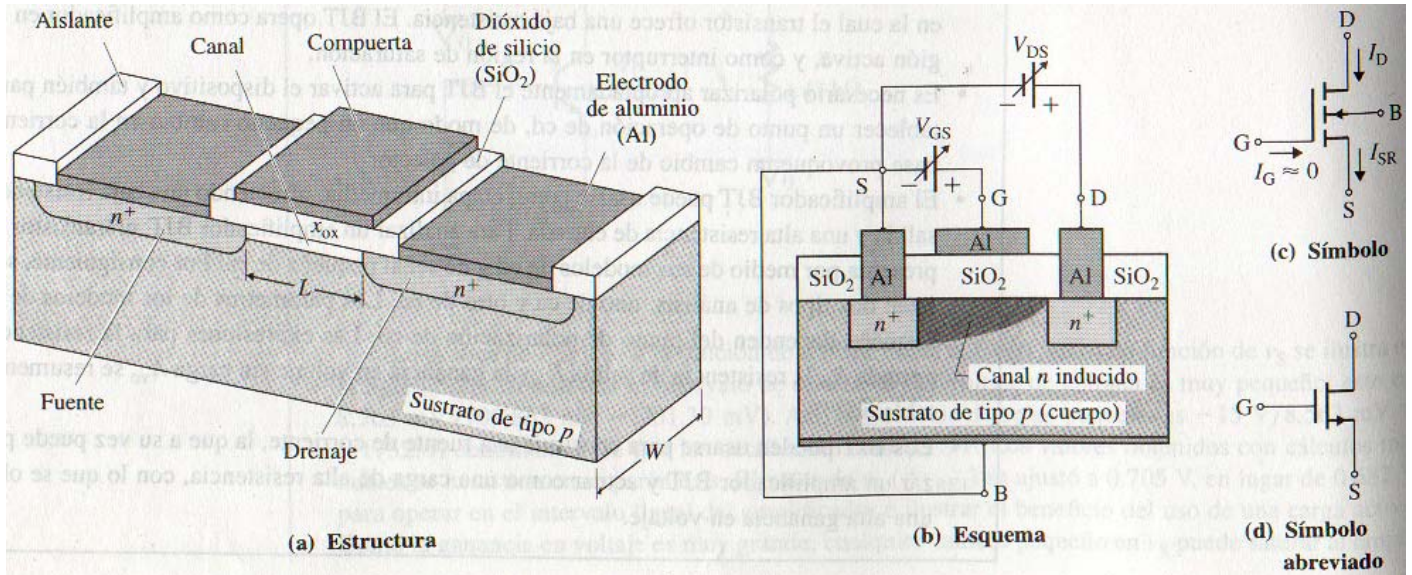
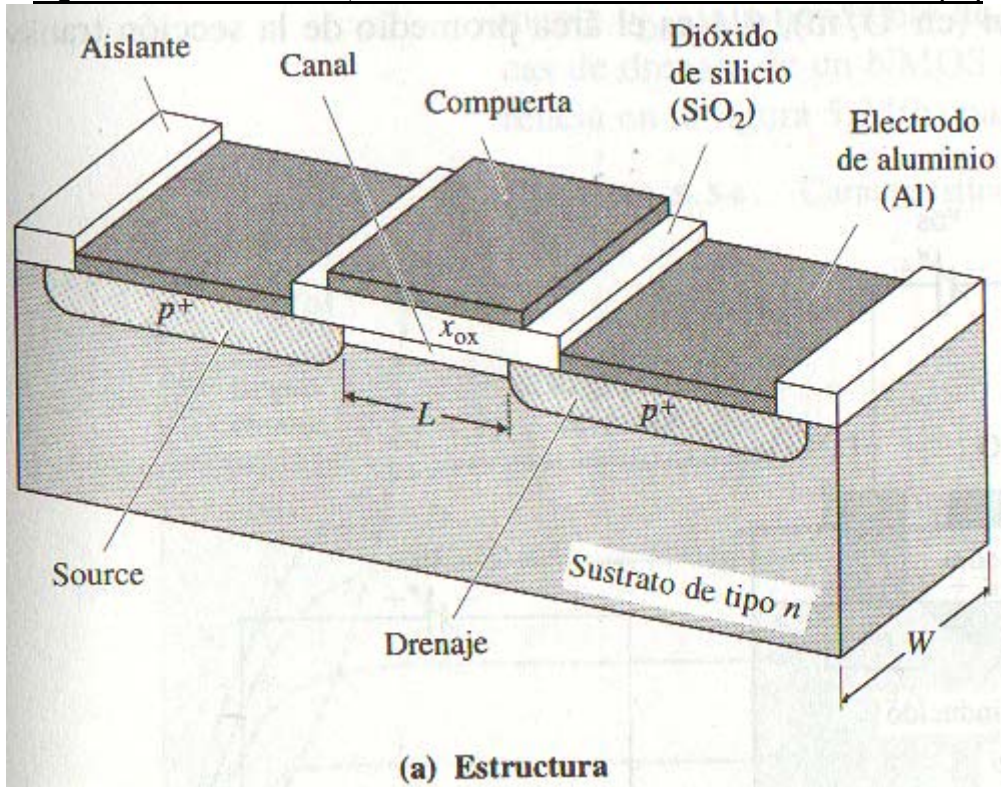


Figura N° 4.2.1 Estructura y símbolos de un MOSFET incremental de Canal N [10]



(a) Estructura

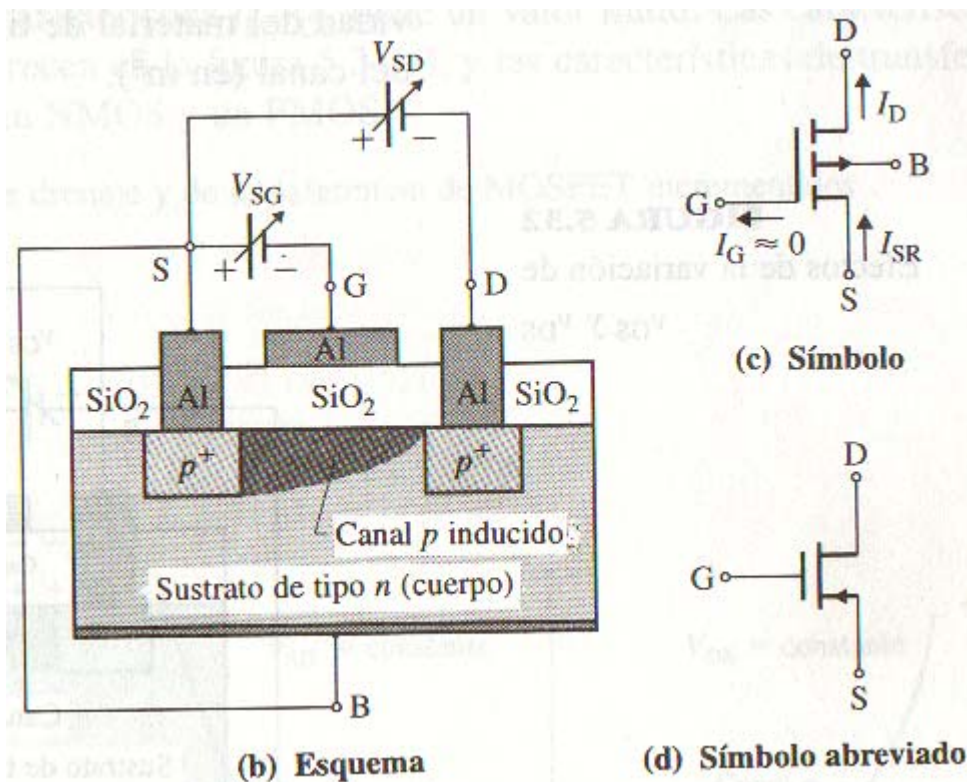


Figura N° 4.2.2 Estructura y Símbolos MOSFET incremental Canal P

4.1.1- Autoaislacion

La implantación p^+ de las figuras 4.2(e) y figura 4.2(f) actúa como resistencia baja del contacto B al sustrato del MOSFET. Normalmente la fuente y el cuerpo están conectados entre sí como en la figura 4.2(e) con lo que el diodo fuente-sustrato está en corte. En un NMOS la polaridad de la tensión del drenaje es positiva respecto a la fuente y por tanto respecto al sustrato p. Por tanto el diodo drenaje-sustrato está en corte. Evidentemente no se necesita ninguna isla aislada en un transistor MOS y la corriente queda confinada al canal entre D y S. En un BJT la difusión de aislamiento ocupa una proporción muy alta de la superficie del transistor, y esta carencia de límites del aislamiento hace que la densidad de empaquetado del MOSFET sea unas 20 veces mayor que en el transistor bipolar integrado.

4.2- Transistores NMOS de Deplexion

La fabricación de los MOSFET de deplexion es semejante a la de los de acumulación. El único paso adicional que se requiere es el de implantación del canal n. Este se forma antes de la deposición de la capa de puerta de polisilicio y se supone un paso más de máscara y corrosión. El proceso NMOS de cuatro máscaras descrito es el más sencillo que se puede emplear. Para mejorar el rendimiento y tener un control más efectivo sobre las propiedades eléctricas del transistor, muchos procesos industriales emplean un mínimo de siete máscaras.

4.2.1- Largo y Ancho de Puerta

Normalmente para obtener transistores de distintas corrientes nominales solo se puede ajustar la geometría del dispositivo. Según la ecuación

$$I_D = K \cdot \left(\frac{W}{L} \right) \cdot (V_{GS} - V_T)^2 \equiv I_{DS}$$

la corriente de drenaje I_D varía con w/L , relación entre el ancho y la longitud de puerta. La mayor parte de los chips de alta densidad VLSI emplean elementos de las mínimas dimensiones alcanzables $2\mu\text{m}$ en 1986. Para $W/L = 1$ tanto el ancho como el largo de puerta pueden ser de $2\mu\text{m}$. Para hacer que $W/L = 1/4$, se emplea el ancho W mínimo y se aumenta L cuatro veces, resultando así una puerta de $2 \times 8\mu\text{m}$. Todos los dispositivos fabricados de esta forma son para corrientes débiles 50 a $300\mu\text{A}$. Para aumentar el nivel de corrientes hasta por ejemplo 1 mA, se pueden construir MOSFET con $W/L = 4$ ó $W = 8\mu\text{m}$ y $L = 2\mu\text{m}$. Teóricamente se puede aumentar W/L para tener cualquier nivel de corrientes deseado. Sin embargo al aumentar el área de la puerta se aumenta también la capacidad del dispositivo lo que a su vez afecta desfavorablemente sobre la velocidad de funcionamiento, y por ello es raro que se fabriquen MOSFET con una relación W/L mayor que 10.

4.3- Fabricación de JFET

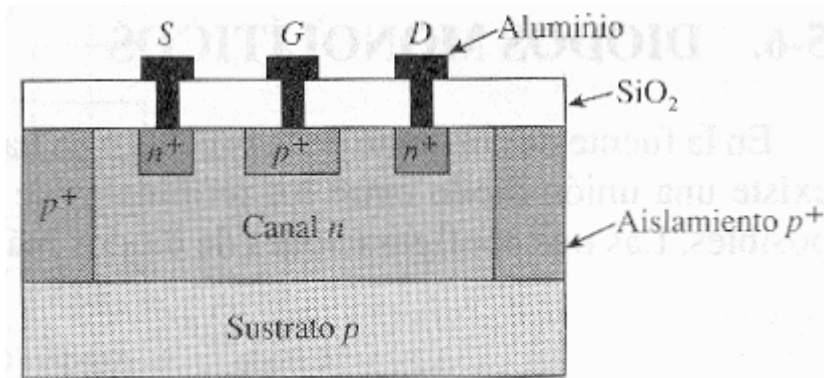


Figura N° 4.3 Fabricación y Estructura del Transistor de Unión de Efecto de Campo

Un FET de canal n se fabrica por el proceso de elaboración de un bipolar. La capa epitaxial que constituía el colector del BJT ahora se convierte en el canal n del JFET. Como se ve en la figura 4.3 las islas aisladas se difunden en la capa epitaxial n para separar los dispositivos individuales. La región de puerta p^+ es implantada ó difundida en el canal n y se crece una tenue capa de oxido. Luego se recubre toda la oblea con SiO_2 . El enmascarado y corrosión definen las superficies de contacto para los terminales. Las regiones n^+ se implantan debajo de las regiones de los contactos de drenaje y de fuente para tener unos buenos contactos óhmicos. Seguidamente se recubre el todo con una capa de aluminio y con una ultima mascara se perfilan las interconexiones deseadas. El proceso se completa eliminando por corrosión el aluminio en exceso.

4.4- TECNOLOGÍA CMOS

Los circuitos complementarios Metal-Oxido Semiconductor requieren que los transistores NMOS y PMOS de acumulación se fabriquen ambos en un mismo chip. Para conseguirlo hacen falta por lo menos dos pasos adicionales. El circuito CMOS de la figura 4.4(b) esta fabricado como se ilustra en la figura 4.4(a). En esta misma figura se ve que el transistor PMOS se ha construido en un asiento de tipo n implantado o difundido en el sustrato p. La región tipo n actúa de cuerpo B2 o sustrato del Transistor PMOS, y para obtener esa región se necesita por lo menos otra mascara y otra corrosión. El segundo paso adicional requerido es el de la implantación de iones de las regiones de fuente y drenaje tipo p del PMOS. El resto de los procesos para formar las regiones de oxido, las áreas de puerta de polisilicio y la metalización son idénticos a los correspondientes a los transistores NMOS de acumulación. Como siempre la configuración del circuito es la que determina la mascara de metalización. Por ejemplo el inversor de la figura 4.4(b) necesita que se formen conexiones entre D1 y D2 así como entre G1 y G2. Se disponen conexiones al sustrato separadas B1 y B2. Obsérvese que B1 esta unido a S1 y conectado a la menor tensión (0 volt en la figura 4.4[b]) mientras que B2 esta conectado a S2 y mantenido a la mayor tensión positiva V_{DD} . Puesto que B1 es de tipo p y B2 de tipo n el diodo pn que se forma entre estas zonas esta con polarización inversa, con lo que automáticamente el NMOS y el PMOS quedan aislados entre sí. Hay que observar que el transistor PMOS ocupa menos espacio en el chip que el NMOS. Esto es porque la movilidad de los huecos es menos de la mitad que la de los electrones. La característica de drenaje viene dada por:

$$I_D = k \cdot \left(\frac{W}{L} \right) \cdot [2 \cdot (V_{GS} - V_T) \cdot V_{DS} - V_{DS}^2]$$

El factor k es directamente proporcional a la movilidad y para que ambos transistores conduzcan la misma corriente, W/L debe ser mayor en el PMOS que en el NMOS.

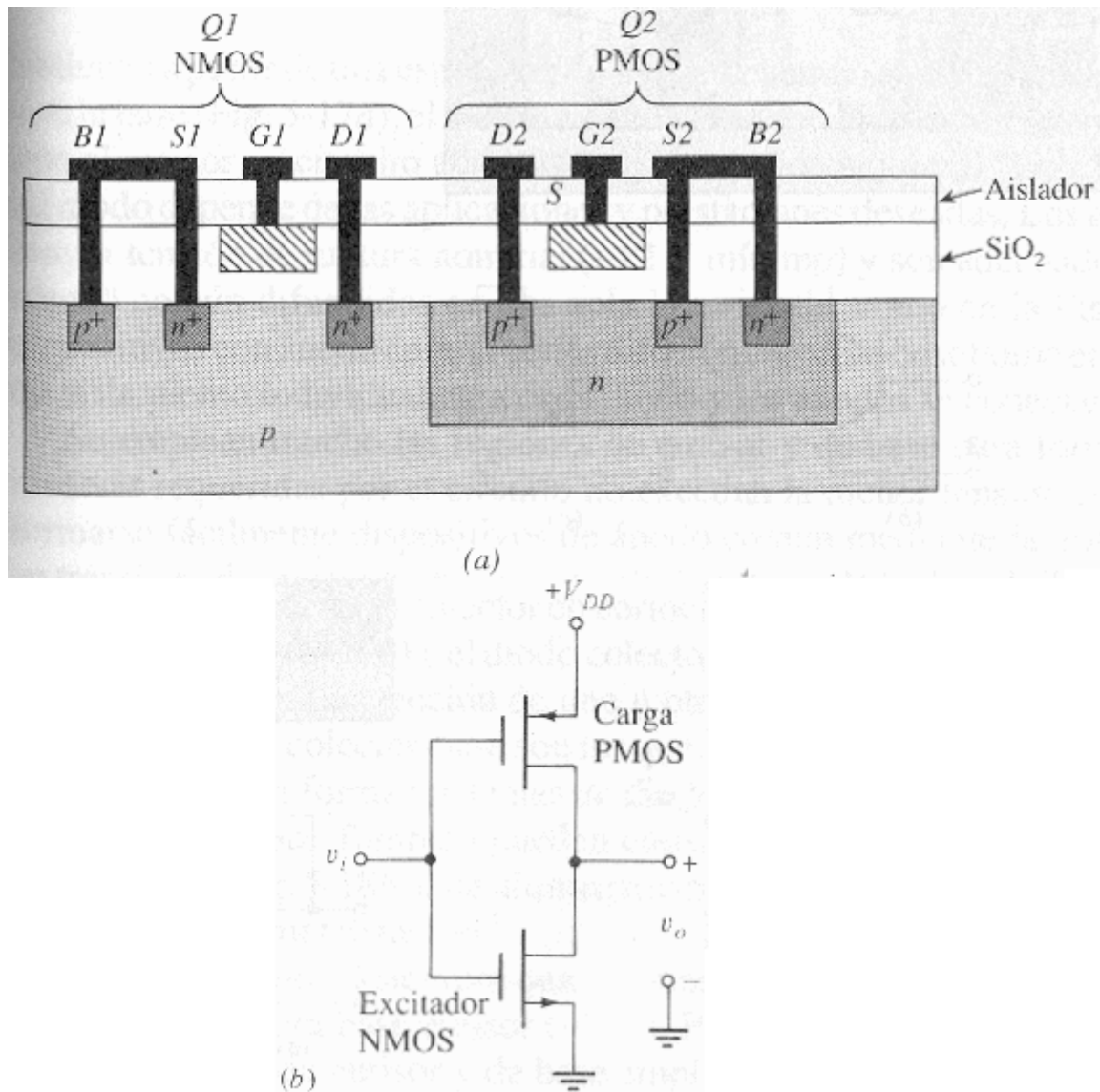


Figura N° 4.4 (a) Sección Transversal del CMOS Integrado Empleado para Formar la Configuración de (b).

4.5- DIODOS MONOLÍTICOS

En la fuente de corriente de la figura 4.5(b) que viéramos en el Capítulo 2, la base de Q1 esta en cortocircuito con el colector, con lo que existe una unión diodo entre los terminales de emisor y de base. Esta es una de las cinco conexiones posibles. Las tres configuraciones de diodos mas corrientes son los representados en la figura 4.6, que se obtienen a partir de una estructura de BJT empleando el diodo emisor-base con el colector en cortocircuito con la base figura 4.6(a), el diodo colector –base con el colector abierto figura 4.6(b) y el diodo colector-base con el emisor en circuito abierto figura 4.6(c). La elección de uno u otro tipo de diodo depende de las aplicaciones y prestaciones deseadas. Los diodos colector-base son los que tienen mayor tensión de ruptura nominal aprox. 12 volt mínimo, y son adecuados para formar sistemas de diodos con cátodo común difundidos en una sola isla aislada, como en la figura 4.7(a). También pueden construirse dispositivos con ánodo común con la difusión colector-base como en la figura 4.7(b). Este ultimo caso precisa un aislamiento individual para cada diodo y los ánodos se conectan por mentalización. Se emplean mucho las regiones de emisor y de base para formar diodos, siempre que las tensiones inversas requeridas por el circuito no excedan la menor tensión de ruptura base-emisor aprox. 7 volt. Pueden formarse fácilmente dispositivos de ánodo común mediante la difusión de emisor y de base empleando un transistor de emisor múltiple en una zona aislada.

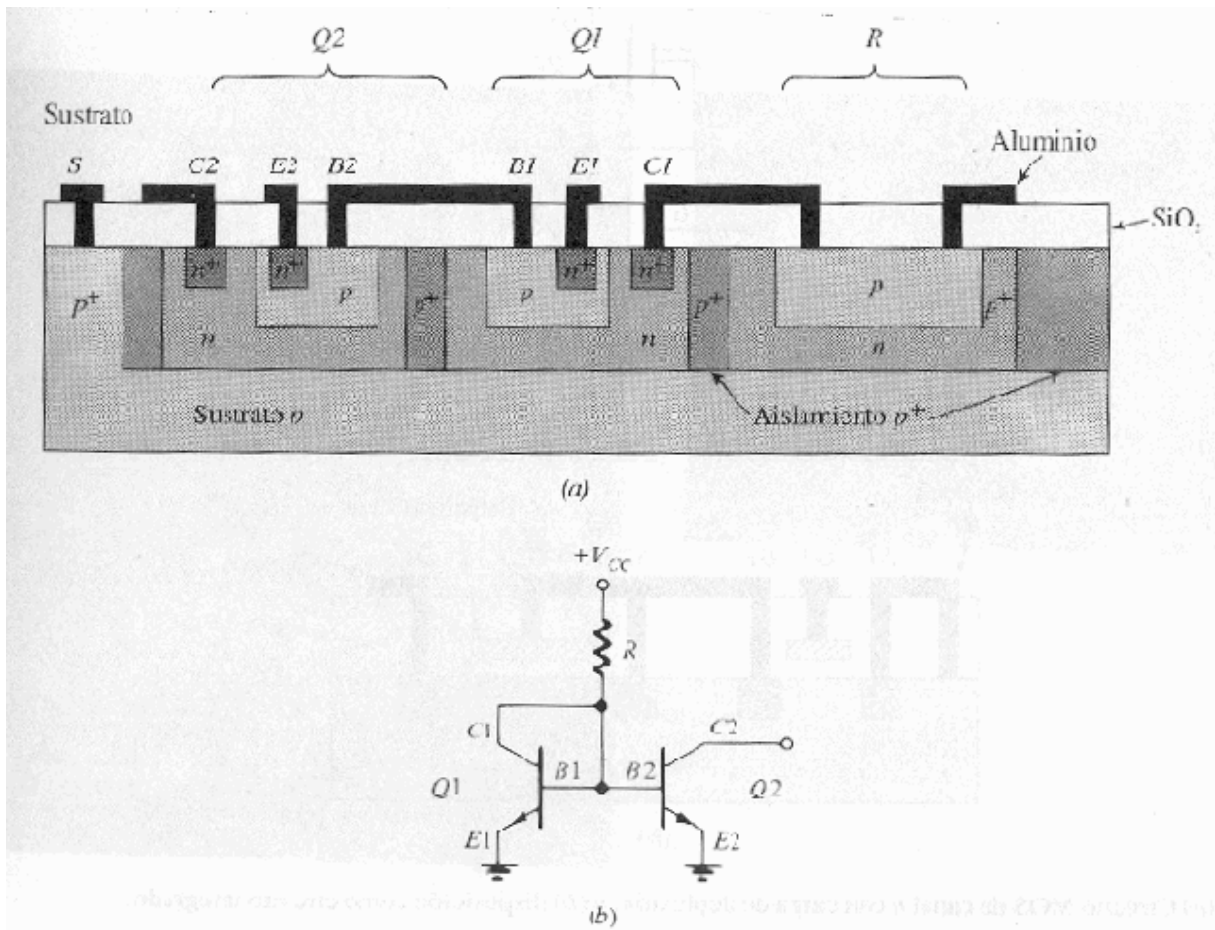


Figura N° 4.5 (a) Sección Transversal de la disposición Planar Integrada de la Fuente de Corriente de la Parte (b)

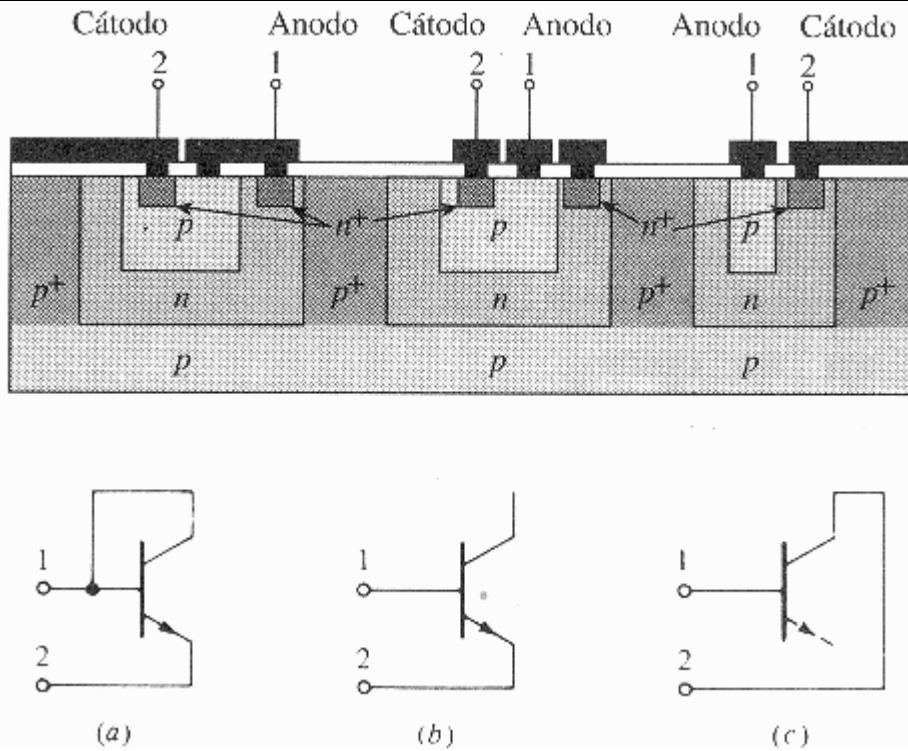


Figura N° 4.6 Sección Transversal y Conexiones de Diodos Integrados: (a) Diodo emisor-Base con el Colector en Cortocircuito con la Base; (b) Diodo Emisor-Base con el Colector abierto; (c) Diodo Colector-Base. No hay emisor difundido ni implantado.

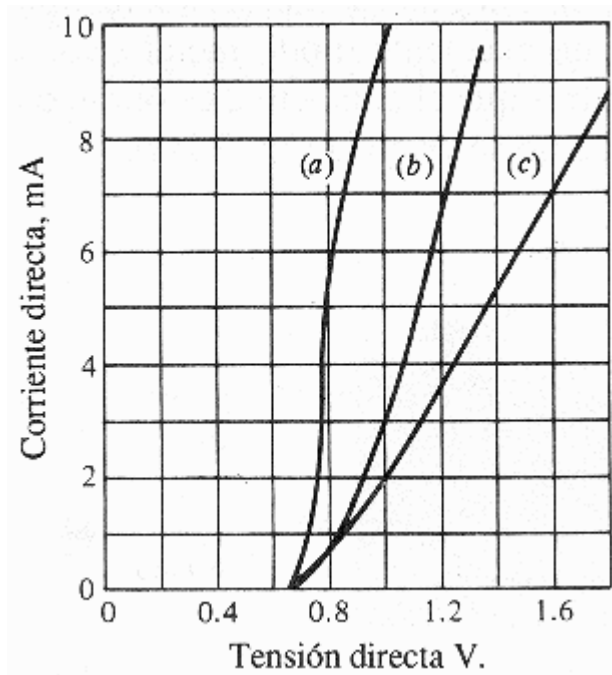


Figura N° 4.6.1 Características de los Diodos de la Fig. 4.6

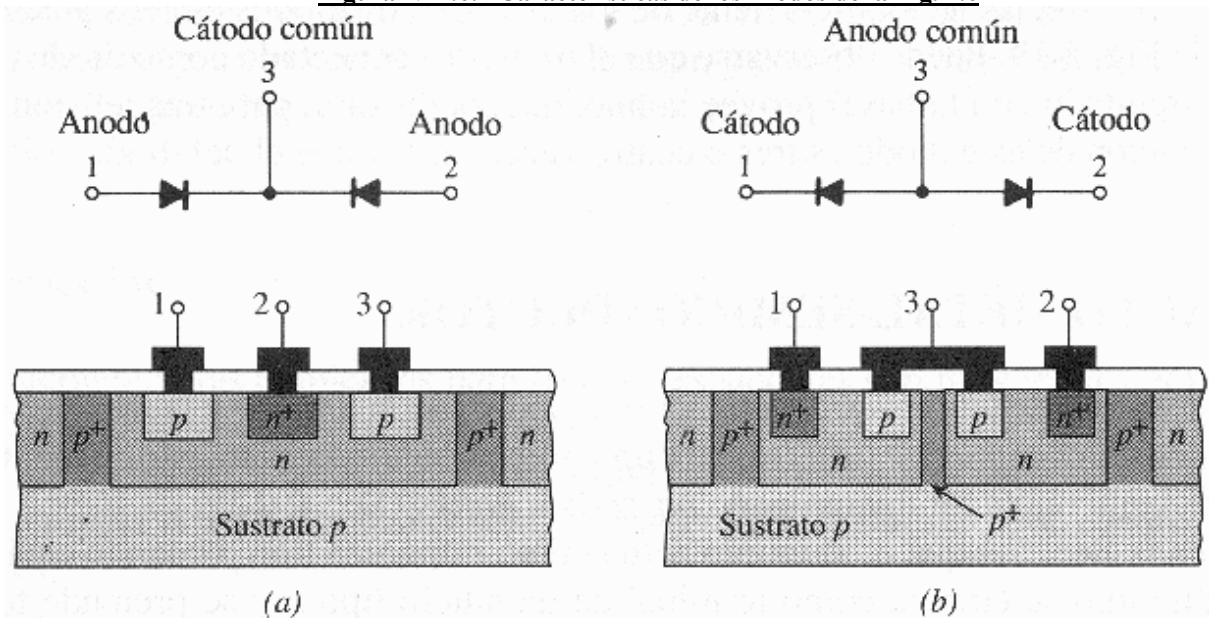


Figura N° 4.7 Pares de Diodos: (a) Cátodo Común; (b) Ánodo Común.

En la figura 4.6(a) el colector puede conectarse a la base, o dejarlo abierto como en la figura 4.6(b).

4.5.1- Características del Diodo

Las características directas tensión-corriente de los tres tipos de diodos citados son las representadas en la figura 4.6.1. Puede observarse que el transistor conectado como diodo: emisor-base con el colector cortocircuitado con la base, provee la máxima conducción para una tensión dada. El tiempo inverso de recuperación de este diodo es tres veces menor que el del diodo colector-base.